

報道関係者各位

研究成果発表のお知らせ

**「22 ナノ世代 LSI に向けた Si 基板上に集積された
III-V チャネル MOS トランジスタの開発」**

発表概要：

東京大学大学院工学系研究科 電気系工学専攻 高木信一 教授・竹中充 准教授・横山正史 研究員を中心とするグループは、Si 基板上に III-V 族化合物半導体を積層する技術を開発し、薄膜 III-V-On-Insulator 基板を実現しました。さらに、その基板を用いて、世界で初めて Si 基板上にメタル ソース/ドレインを有する薄膜チャネル III-V MOS トランジスタを作製し、動作実証に成功しました。

本研究は、平成 19 年度から開始された、経済産業省の戦略的技術開発委託費(ナノエレクトロニクス半導体新材料・新構造技術開発ーうち新材料・新構造ナノ電子デバイス<III-V MISFET/III-V-On-Insulator (III-V-OI) MISFET の研究開発>)の委託を受け、国立大学法人東京大学と独立行政法人産業技術総合研究所の共同研究により得られた成果です。

この成果の詳細は、2009 年 6 月 15～17 日に、京都で開催される ”2009 Symposium on VLSI Technology” (VLSI symposium 2009)において発表いたします。

発表内容詳細：

別紙をご参照ください。

本件は、株式会社東大大学TL0より特許出願しております。

問い合わせ先：

高木 信一

東京大学大学院 工学系研究科 電気系工学専攻 教授

〒113-0032 東京都文京区弥生2-11-16 工学部10号館490号室

<http://www.mosfet.k.u-tokyo.ac.jp/>

竹中 充

東京大学大学院 工学系研究科 電気系工学専攻 准教授

〒113-0032 東京都文京区弥生2-11-16 工学部10号館460号室

<http://www.mosfet.k.u-tokyo.ac.jp/>

横山 正史

東京大学大学院 工学系研究科 電気系工学専攻 特任研究員

〒113-0032 東京都文京区弥生 2-11-16 工学部 10 号館 460 号室

添付資料：

別紙（研究内容詳細）

用語解説：

◆ MOSFET、チャネル

MOSFET は、Metal-Oxide-Semiconductor（金属 - 酸化膜 - 半導体）Field-Effect-Transistor（電界効果トランジスタ）の略号。金属電極に印加した電圧により半導体側に電子（負の電荷）あるいは正孔（正の電荷）のキャリアを誘起して、電流のオンオフ動作を行う素子。LSIの最も基本となっている素子である。キャリアが走行する領域のことを、チャネルという。チャネル中に誘起した電子が走るタイプの素子をn型チャネルMOSトランジスタ、正孔が走るタイプの素子をp型チャネルMOSトランジスタと呼ぶ。nとpは、それぞれnegative（負）、positive（正）の略である。

◆ CMOS

Complementary（相補型）MOSの略号。nチャネルMOSFETとpチャネルMOSFETという、オンオフ動作が相互に逆転するタイプのトランジスタを直列につないだ素子。LSI中での信号処理を行う上での最も基本的な回路である。

◆ 移動度

固体の中でのキャリアの流れやすさを表す指標で、加えた電界強度とキャリアの走行速度の比例計数である。同じ大きさの電圧を加えたときには、移動度が大きいほど、キャリアの走行速度が大きくなり、電流が増加する。

◆ III-V-01

III-V-01 とは III-V semiconductor-on-Insulator の略称であり、絶縁膜（通常は SiO_2 ）上に形成された III-V 族化合物半導体の単結晶薄膜を指す。III-V-01 基板はまだ市販されていない。本研究では、III-V 族化合物半導体として、InGaAs を用いている。III-V 族化合物半導体の電子移動度は Si より遥かに高いため、高性能の n チャネル MOS トランジスタが形成できる。

■成果の要約■

Si をベースとしたトランジスタの性能はデバイスの微細加工によって高性能化してきました。しかし、その微細加工技術も物理的な限界に近づいてきており、Si の微細加工だけではトランジスタの性能を上げることが困難になってきています。そこで、テクノロジーノード 22 nm 世代以降においては、トランジスタの性能向上のために、Si よりも高い移動度を有する Ge や III-V 族化合物半導体をトランジスタのチャネルに利用することが提案されています。そのため

には、III-V チャンネルを Si プラットフォーム上に集積化する技術が不可欠であります。また、微細なチャンネル長で III-V チャンネルの高移動度を活かしたトランジスタを得るためには、究極的な微細化が可能なトランジスタ構造である、極薄ボディ III-V-On-Insulator (III-V-OI) 構造が適しています。ナノエレクトロニクスプロジェクトの当該研究テーマでは、このような Si プラットフォーム上に III-V-OI MOSFET を実現する技術の開発を進めています。今回、III-V-OI MOSFET の作製に適した直接基板貼り合わせ技術を開発し SiO₂ を埋め込み層とした III-V-OI 基板の開発に成功しました。さらに、同基板を利用して、メタル ソース/ドレイン (S/D) を有する III-V-OI n-MOSFET を開発し、世界で初めてその動作実証に成功しました。

■ポイント■

- III-V-OI MOSFET の作製に適した基板貼り合わせ技術を開発することで、III-V-OI 基板を開発しました。
- 開発した III-V-OI 基板を利用して、メタル S/D III-V-OI n-MOSFET の動作実証に成功すると共に、Si n-MOSFET の 1.35 倍の高電子移動度を達成しました。
- 高移動度のチャンネル材料を Si プラットフォーム上に集積することで、高性能の CMOS が実現可能となります。

■ 概 要 ■

22 ナノ世代 LSI 用トランジスタに向けた材料選択肢を検討するための新たなエンジニアリング手法を提案します。このエンジニアリング手法から導かれた材料選択肢を、将来の極微細トランジスタの構造として期待されている III-V-OI 構造トランジスタに適用し、LSI 回路の基本要素となる良好な n 型トランジスタの性能を引き出すことに成功しました。

ナノエレクトロニクスプロジェクトでは、トランジスタのチャンネル部に用いる結晶材料を、Si から III-V 族化合物半導体に置き換えることを提案しています。III-V 族化合物半導体は Si よりも大きな電子移動度を有するため、高い電流駆動力を持つことが期待されています。実用化に向けては、既存の Si LSI 製造技術でトランジスタが作製可能であることが重要であるため、III-V 族化合物半導体を Si 基板上に集積する必要があります。しかし、従来の結晶成長を用いた方法では III-V 族化合物半導体の Si 基板上への集積はとても困難でした。そこで、III-V-OI MOSFET 作製に適した基板貼り合わせ技術を開発することにより、III-V チャンネルを Si 基板上に集積することに成功しました。

この成果の詳細は、2009 年 6 月 15～17 日に、京都で開催される ”2009 Symposium on VLSI Technology” (VLSI symposium 2009) において発表いたします。

研究の背景

LSI に用いられる MOS トランジスタは、寸法の微細化が回路性能の向上につながるため、より微細な素子の実現を目指して、激しい開発競争が続いており、そのペースは一層加速されている状況にある。しかし、微細化の課題も顕在化してきており、このままではトランジスタの性能を上げると同時に消費電力も下げるという、従来の技術進歩のトレンドを維持することが困難であることが指摘されていた。特に、2016 年に量産が開始される 22 ナノ技術世代以降では、従来の Si をチャネルとする MOS トランジスタを用いる限りは物理的な性能限界に突き当たる。その解決には、新しいチャネル材料やチャネル構造を採用し、チャネル中を走行するキャリアの速度を増加させることが必須である。また、研究開発期間の短縮と製造コストの低減のために、既存の製造装置と製造工程が利用できることが必要である。

高電子移動度を有する III-V 族半導体は、現行の Si CMOS を超える性能を実現できるチャネル材料として期待されている。このため、世界中で様々なプロジェクトやコンソーシアムによって、Si プラットフォーム上の III-V 族半導体チャネル MOSFET を実現するための研究開発が進められ、熾烈な開発競争が進んでいる。しかしながら、Si 基板上への III-V 族化合物半導体の積層には困難があり、大きな技術的課題となっている。そこで、注目されるのが基板貼り合わせ技術の利用である。III-V-0I MOSFET 作製に適した直接基板貼り合わせ技術を開発することにより、III-V 族化合物半導体の Si 基板上への集積可能性を提案している。一方、III-V 族化合物半導体は、不純物の固溶限が小さいことから、寄生抵抗の小さいソース/ドレイン(S/D)形成技術の研究も極めて重要である。そこで、S/D をメタルにすることでその抵抗を究極的に下げることが可能なメタル S/D の導入を提案する。これらを組み合わせることにより、究極的なトランジスタ構造の一つとして提案されている Si 基板上に集積されたメタル S/D III-V-0n-Insulator (III-V-0I) MOSFET の開発を提案しており、今回このデバイスを実証したものである。

研究の経緯

ナノエレクトロニクス半導体新材料・新構造技術開発のうち新材料・新構造ナノ電子デバイスの研究開発<III-V MISFET/III-V-0n-Insulator (III-V-0I) MISFET の研究開発>【テーマリーダー 高木 信一】は、経済産業省の委託により、2007~2011 までの 5 年間、既存のトランジスタの性能を飛躍的に向上させる新しいトランジスタ構造や材料を開発している。この研究テーマでは、22 ナノ世代 LSI 用トランジスタに向けた材料選択肢を検討するための新たなエンジニアリング手法を提案し、この手法から導かれた材料選択肢として、将来の極

微細トランジスタの構造として期待されている III-V-On-Insulator 構造トランジスタを実現することを目指している。そして、III-V-0I 構造を適用することにより、n 型トランジスタの大幅な性能向上を引き出すことに成功した。これは、既存の素子構造では性能が飽和することが予測されている極微細トランジスタに代わる新たなブレークスルーをもたらす成果である。

研究の成果：基板貼り合わせを用いた III-V-0I 基板の開発とメタル S/D III-V-0I n-MOSFET の動作実証

近年、MOS トランジスタの性能向上を微細化のみにより達成することが困難となったため、キャリアの移動度を向上させる技術の重要性が益々増大している。一方、素子の微細化により顕在化してくる短チャネル効果の抑制は、極微細トランジスタ開発における最重要課題の一つであり、トランジスタのゲート静電支配力が強く、短チャネル効果耐性に優れたマルチゲートトランジスタ構造が注目を集めている。したがって、将来の高性能低消費電力 LSI を実現するためには、移動度増大技術と薄膜チャネル構造の適切な融合が必須であると考えられる。ナノエレクトロニクスプロジェクトでは、平面型トランジスタにおける高移動度材料として III-V 族化合物半導体を用いた MOS トランジスタの研究開発を進めており、今回は、マルチゲート CMOS 構造が提供可能な III-V-On-Insulator 構造の III-V-0I n-MOS トランジスタの作製を行い、その動作実証に成功した。

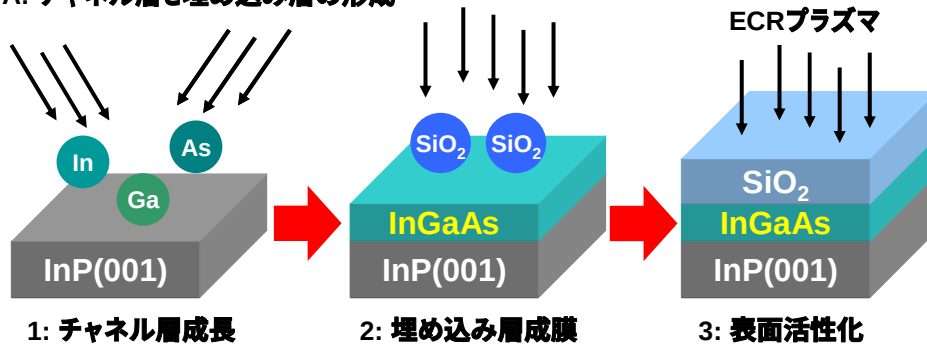
1. III-V-0I 基板作製のための直接基板貼り合わせ技術の開発

LSI の高性能化は、主に基本構成素子である MOS トランジスタの微細化により達成されてきたが、近年、従来の平面型トランジスタ構造では微細化に伴う短チャネル効果の抑制が困難となり、オフ電流の増大が深刻となってきた。そこで、チャネルを立体構造とし、ゲートの静電支配力を増大させることにより短チャネル効果を抑制する、いわゆるマルチゲート構造が提案され、現在活発に研究が行われている。一方で、電流駆動力増大のために高移動度材料の導入も提案され、Ge や III-V 族化合物半導体などの高移動度材料の MOS トランジスタの研究も盛んに行われている。しかしながら、Si プラットフォーム上への集積が、大きな技術的課題となっている。そこで、III-V-0I 構造を利用して III-V MOS トランジスタを作製することにより、高移動度チャネルを有するマルチゲート構造の MOS トランジスタの開発を提案する。

ナノエレクトロニクスプロジェクトでは、III-V-0I MOS トランジスタの作製に適した低温・低ダメージの基板貼り合わせ技術(図 1)を開発し、それを用いて III-V-0I 基板の作製している。III-V-0I MOSFET on Si の III-V 族化合物半導

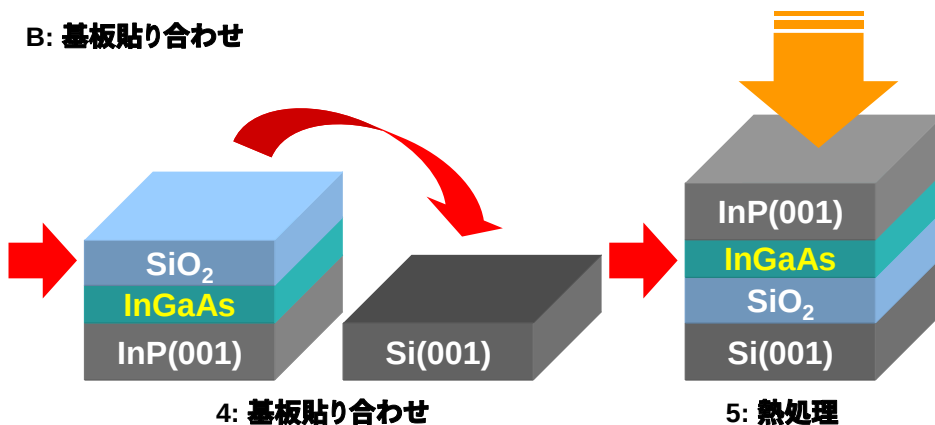
体チャンネルには、有機金属気相エピタキシャル成長(MOVPE)装置を用いて InP(001)基板上にエピタキシャル成長した InGaAs を利用する(図 1A-1)。この InGaAs/InP(001)基板を III-V 族半導体基板として、Si(001)基板と直接基板貼り合わせを行う。ここでは、低プラズマエネルギーの電子サイクロトロン共鳴(ECR)プラズマを利用して、基板表面をプラズマ処理することにより、低温・低ダメージの基板貼り合わせを実現している。埋め込み層として InGaAs/InP(001)基板上に、ECR スパッタ装置を利用して絶縁膜(SiO_2)を低ダメージで成膜する(図 1A-2)。ここで、 SiO_2 表面はプラズマ照射により、基板貼り合わせに対して活性化した状態である(図 1A-3)。 SiO_2 /InGaAs/InP(001)基板と Si(001)基板と貼り合わせるにより、III-V-01 構造を実現する(図 1B-4)。さらに、 SiO_2 表面と Si 基板表面を貼り合わせるため、貼り合わせ時の III-V チャンネルへのダメージを抑制することができる。このように、InGaAs/ SiO_2 界面を良好に保持したまま基板貼り合わせを実現できる。室温における貼り合わせ後、貼り合わせ強度増大のために熱処理を行う(図 1B-5)。ここで、従来の貼り合わせ技術と異なり、熱処理前に基板を溶液に浸けないため、水分子などにより熱処理中に発生するマイクロボイドを抑制することができる。さらに、プラズマによる表面クリーニング効果により、カーボン系不純物によるマイクロボイド発生も抑制できる。熱処理を行った後、InP 基板を InGaAs 層から塩酸を用いた選択エッチングにより除去することで、InGaAs/ SiO_2 /Si の III-V-01 基板を得る(図 1C-6,7)。ここで、選択エッチングによるチャンネル層の薄膜化は、Si-0n-Insulator(SOI)基板の薄膜化と比較して容易である。さらに、エピタキシャル成長と選択エッチングの組み合わせにより、III-V-01 基板のチャンネル設計の自由度を高めることも期待される。

A: チャンネル層と埋め込み層の形成



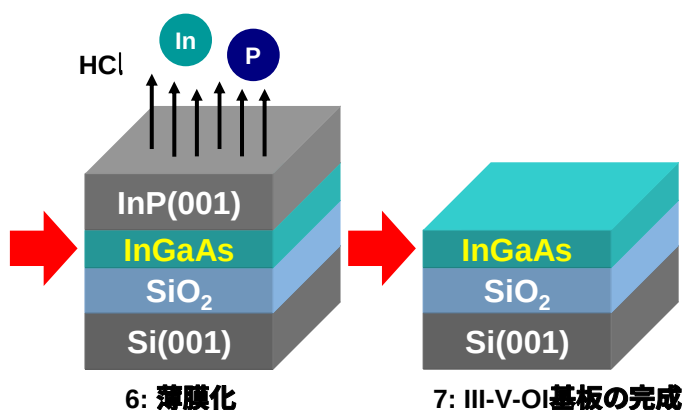
チャンネル層のInGaAsをエピタキシャル成長したInP(001)基板上に、ECRスパッタにより埋め込み層のSiO₂膜を成膜する。同時に、ECRプラズマにより基板表面は活性化される。

B: 基板貼り合わせ



Si(001)基板上にSiO₂/InGaAs/InP(001)基板を貼り合わせる。基板を貼り合わせた後、熱処理を加えて貼り合わせ強度を増大させる。

C: 薄膜化とIII-V-OI基板の完成



HClを用いた選択エッチングによりInP基板を除去する。InGaAsをチャンネル層としたIII-V-OI基板が完成する。

図1 III-V-OI 基板作製工程

作製した III-V-OI 基板の貼り合わせ界面を透過型電子顕微鏡(TEM)により観察した(図2)。InGaAs/SiO₂界面には、プラズマや貼り合わせによるダメージは見られない。一方、SiO₂/Si 界面も良好な基板貼り合わせが実現されている。図3に III-V-OI 基板の写真を載せる。平坦かつ鏡面の表面が得られており、エピタキシャル成長した InGaAs 層が良好な結晶構造を保持したまま Si 基板上に積層されている。ここで開発した基板貼り合わせ技術は、絶縁層を介して基板を貼り合わせ方法であるため、III-V チャンネル以外の各種チャンネル材料の貼り合わせにも有用であることが期待できる。

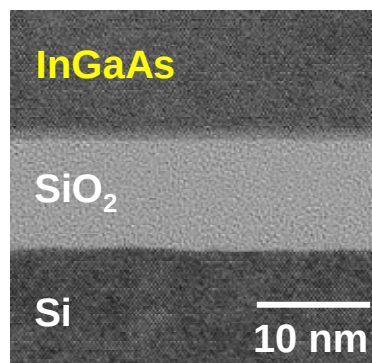


図2 III-V-OI 基板の断面 TEM 像

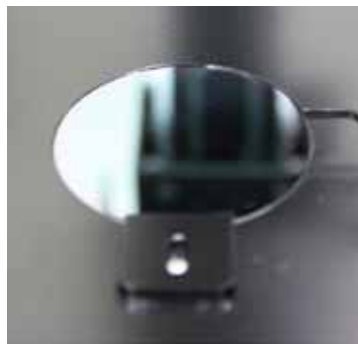


図3 III-V-OI 基板

2. メタル S/D III-V-OI n-MOSFET のトランジスタ動作実証

メタル S/D III-V-OI n-MOSFET のトランジスタ動作を実証するために、メタル S/D 形成技術を開発し、バックゲート構造の MOS トランジスタを作製した。III-V-OI 基板上に、Au-Ge を蒸着し、リフトオフによりメタル S/D を形成する。さらに、リン酸過水を用いて InGaAs をエッチングすることで素子分離を行う。そして、裏面の Si に Al を蒸着することでバックゲートを形成し、メタル S/D

III-V-OI n-MOSFET を作製した。図 4 にそのデバイスの概念図を示す。

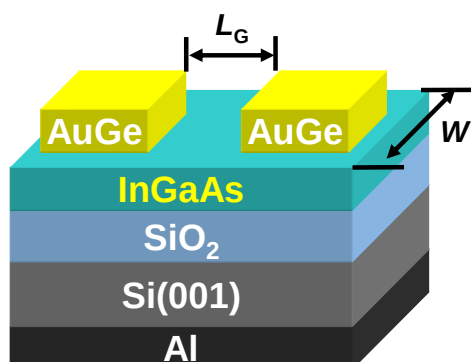


図 4 メタル S/D III-V-OI n-MOSFET の概念図

メタル S/D III-V n-MOSFET on Si のトランジスタ特性測定を行った(図 5)。電流電圧特性からわかるように、良好なトランジスタ動作を実証した。また、 S 値は ~ 120 mV/decade と見積もられ、この値から求めた界面準位密度 D_{it} は $\sim 10^{12}$ cm $^{-2}$ eV $^{-1}$ 台前半となり、III-V MOS としては比較的良好な界面が形成されていることも示唆された。また、電流のオンオフ比 I_{on}/I_{off} は $\sim 10^3$ 以上であった。図 6 に示すように、実効移動度 μ_{eff} の最大値は ~ 1000 cm 2 /Vs が得られており、実効電界 $E_{eff} = 0.1$ MV/cm 付近において、Si ユニバーサルに対して 1.35 倍の移動度向上が得られた。Si 基板上に集積しても III-V n-MOSFET は高い移動度を示すことが実証された。

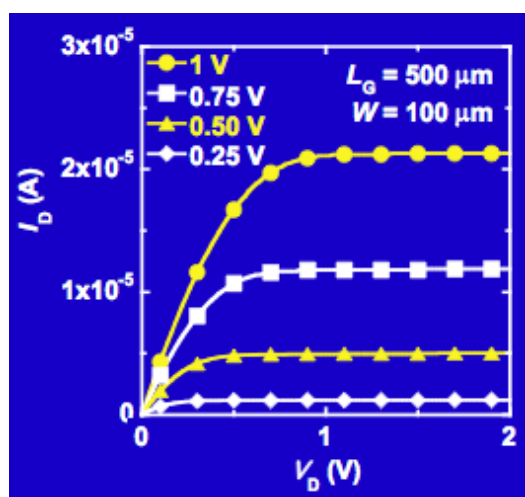


図 5 メタル S/D III-V-OI MOS トランジスタの電流電圧特性

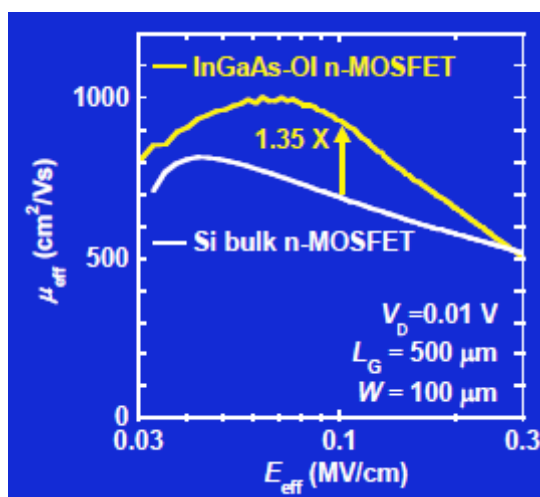


図 6 メタル S/D III-V-OI n-MOS トランジスタと Si n-MOS トランジスタとの移動度比較

このように、III-V-0I MOSFET の作製に適した、低温・低ダメージの基板貼り合わせ方法を開発し、また、メタル S/D の形成技術を開発することにより、世界で初めて Si 基板上においてメタル S/D III-V-0I n-MOS トランジスタの動作実証を実現し、バルクの III-V n-MOS トランジスタと同等の、Si n-MOS トランジスタを上回る特性を得ることに成功した。本成果により、論理 LSI の Si チャネルを InGaAs などの化合物半導体で置き換え、メタルハーフピッチ 22 nm 世代（量産時期 2016 年）以降の超高速の CMOS を実現するためだけでなく、RF デバイスや光デバイスなどの異種デバイスをモノリシック混載した複合機能 LSI の実現が期待される。

今後の予定

歪の導入などによるチャネル層の最適化や埋め込み層の改善によるメタル S/D III-V-0I n-MOS トランジスタの高性能化や p-MOS 動作実証を行い、高移動度材料を用いたトランジスタの集積化により、CMOS の究極的な高性能動作実証を目指す。